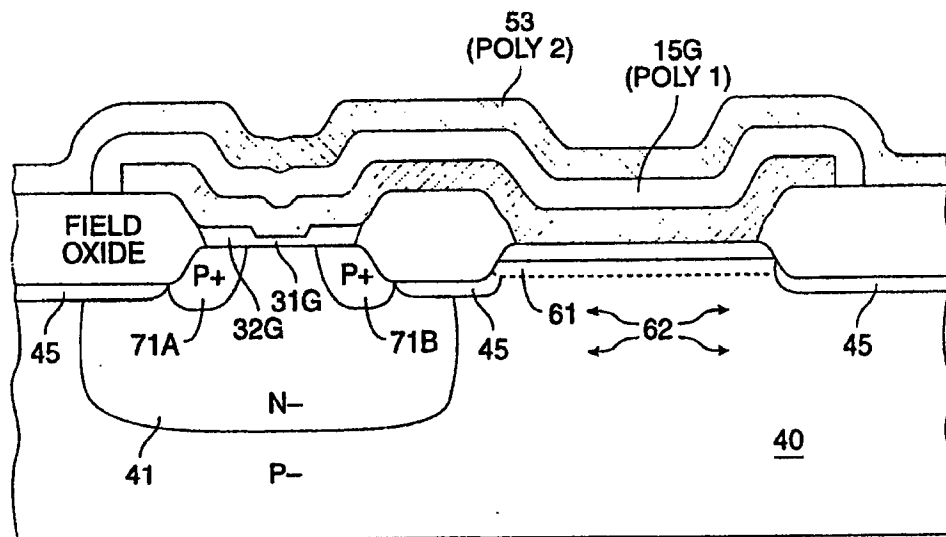




INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶: H01L 29/788, G11C 11/34	A1	(11) International Publication Number: WO 97/05662 (43) International Publication Date: 13 February 1997 (13.02.97)
(21) International Application Number: PCT/US96/11219 (22) International Filing Date: 1 July 1996 (01.07.96) (30) Priority Data: 08/508,914 28 July 1995 (28.07.95) US (71) Applicant: ZYCAD CORPORATION [US/US]; 47100 Bay-side Parkway, Fremont, CA 94538 (US). (72) Inventor: BROZE, Robert, U.; 126 Nanna Court, Santa Cruz, CA 95060 (US). (74) Agents: WOODWARD, Henry, K. et al.; Townsend and Townsend and Crew L.L.P., Two Embarcadero Center, 8th Floor, San Francisco, CA 94111-3834 (US).		(81) Designated States: AU, CN, JP, KR, European patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Published <i>With international search report.</i>

(54) Title: NONVOLATILE REPROGRAMMABLE INTERCONNECT CELL WITH FN TUNNELING AND PROGRAMMING METHOD THEREOF

**(57) Abstract**

An array of programmable interconnect cells, each cell having a floating gate as the gate of an MOS switch transistor which programmably connects or disconnects nodes, is used in an FPGA. The floating gate (15G) of each cell, which is capacitively coupled to a control gate (53), is programmed by Fowler-Nordheim tunneling through an tunneling oxide (31G) above a programming/erase line (41) in the integrated circuit substrate (40). Contiguous and parallel to the programming/erase line is at least one tunneling control line (71A, B) which forms a PN junction in close proximity to the programming/erase line region under the tunneling oxide. Under reverse bias, a deep charge depletion region is formed in the programming/erase line region to block tunneling. In this manner, a selected cell can be programmed/erased, while the non-selected cells are not.

FOR THE PURPOSES OF INFORMATION ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

AM	Armenia	GB	United Kingdom	MW	Malawi
AT	Austria	GE	Georgia	MX	Mexico
AU	Australia	GN	Guinea	NE	Niger
BB	Barbados	GR	Greece	NL	Netherlands
BE	Belgium	HU	Hungary	NO	Norway
BF	Burkina Faso	IE	Ireland	NZ	New Zealand
BG	Bulgaria	IT	Italy	PL	Poland
BJ	Benin	JP	Japan	PT	Portugal
BR	Brazil	KE	Kenya	RO	Romania
BY	Belarus	KG	Kyrgystan	RU	Russian Federation
CA	Canada	KP	Democratic People's Republic of Korea	SD	Sudan
CF	Central African Republic	KR	Republic of Korea	SE	Sweden
CG	Congo	KZ	Kazakhstan	SG	Singapore
CH	Switzerland	LI	Liechtenstein	SI	Slovenia
CI	Côte d'Ivoire	LK	Sri Lanka	SK	Slovakia
CM	Cameroon	LR	Liberia	SN	Senegal
CN	China	LT	Lithuania	SZ	Swaziland
CS	Czechoslovakia	LU	Luxembourg	TD	Chad
CZ	Czech Republic	LV	Latvia	TG	Togo
DE	Germany	MC	Monaco	TJ	Tajikistan
DK	Denmark	MD	Republic of Moldova	TT	Trinidad and Tobago
EE	Estonia	MG	Madagascar	UA	Ukraine
ES	Spain	ML	Mali	UG	Uganda
FI	Finland	MN	Mongolia	US	United States of America
FR	France	MR	Mauritania	UZ	Uzbekistan
GA	Gabon			VN	Viet Nam

NONVOLATILE REPROGRAMMABLE INTERCONNECT CELL
WITH FN TUNNELING AND PROGRAMMING METHOD THEREOF

BACKGROUND OF THE INVENTION

The present invention is related to field programmable integrated circuits, especially Field Programmable Gate Arrays (FPGAs), and more particularly, to floating gate MOS transistors used as switching elements in an FPGA.

Typically, an FPGA has an array of logic elements and wiring interconnections with thousands, or even tens of thousands, of programmable interconnects so that the FPGA can be configured by the user into an integrated circuit with defined functions. Each programmable interconnect, or switch, can connect two circuit nodes in the integrated circuit to make (or break) a wiring interconnection or to set the function or functions of a logic element.

FPGAs use either memory cells or antifuses for the programmable interconnect. Memory cells are reprogrammable and antifuses are programmable only once. A new memory-type of programmable interconnect is disclosed in a patent application, U.S. Application No. 08\270,714, entitled, "A GENERAL PURPOSE, NON-VOLATILE REPROGRAMMABLE SWITCH," filed July 5, 1994 by Robert J. Lipp, Richard D. Freeman, Robert U. Broze, John M. Caywood, and Joseph G. Nolan, III, and assigned to the present assignee. In the FPGA described in the patent application, a non-volatile reprogrammable transistor memory (NVM) cell is used to provide a general purpose switching element to randomly interconnect FPGA wiring and circuit elements. Basically an NVM cell has an MOS transistor with a floating gate which may be charged and/or discharged. Charging and/or discharging the floating gate provides for the non-volatile programmability feature of NVM technologies.

In an FPGA, indeed, in any integrated circuit, it is important that the elements of the FPGA be as compact as possible for an efficient layout of the circuit and be as

easily manufactured as possible. The present invention is directed toward highly compact cells of one of the programmable interconnects described in the patent application above. An efficient array of such interconnects, each of which is selectively programmable, is achieved. The manufacture of the interconnect cell array is straightforward in terms of present day semiconductor manufacturing technology.

SUMMARY OF THE INVENTION

The present invention provides for an integrated circuit having a plurality of circuit nodes and an array of programmable interconnect cells, each programmable interconnect cell capable of connecting the circuit nodes responsive to a programmed state of the interconnect cell. Each programmable interconnect cell has a first MOS transistor having first and second source/drains connected to first and second circuit nodes respectively, and a floating gate for turning the first MOS transistor off and on responsive to the amount of charge on the gate. The cell also has a tunneling device with one terminal connected to the floating gate of the first MOS transistor and coupled to a programming/erase line through a tunneling oxide layer, a control gate capacitively coupled to the floating gate, and at least one tunneling control line for controllably inhibiting tunneling through the oxide layer. The tunneling control line and the programming/erase line form a PN junction which is close to, but laterally displaced from, the region below the tunneling oxide layer. Under a reverse bias, the charge depletion region of the junction extends through the region below the tunneling oxide to block tunneling. This permits each programmable interconnect to be selectively programmable.

To program a selected programmable interconnect cell in an array of such cells, a voltage is generated between the region below the oxide layer and the floating gate of the selected cell. The voltage is sufficiently large so that electrons tunnel through the oxide layer from the floating gate to the region to set the floating gate into a programmed state. At the same time the non-selected programmable interconnect

cells are protected from programming or programming disturbs by one of the following:

(a) A charge depletion region is formed in the substrate regions directly under the tunneling oxide layer by reverse biasing the PN junction between the tunneling control line and the program/erase line.

(b) An equipotential or low near-equipotential field is formed across the tunneling oxide layer such that the Fowler-Nordheim tunneling current is so low as to have a negligible disturb on the floating gate potential.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a circuit diagram of the programmable interconnect with a Fowler-Nordheim tunneling device for programming the interconnect;

Fig. 2A is a plan view of an array of programmable interconnect cells with a Fowler-Nordheim tunneling devices according to one embodiment of the present invention; Fig. 2B is a cross-sectional view of one of the cells of Fig. 2A;

Fig. 3 is a exemplary table of programming voltages for the array of interconnects of Fig. 2A;

Fig. 4 illustrates a cross-sectional view of a charge depletion region in a tunneling device of a cell in the Fig. 2A array;

Fig. 5 is a plan view of a tunneling device for the programmable interconnect according to another embodiment of the present invention;

Fig. 6 is a circuit diagram of the Fowler-Nordheim tunneling device used in the mode to sense the FPGA cell state of programming; and

Figs. 7A-7D are cross-sectional views of different process options to manufacture the programmable interconnect cells of the present invention.

DETAILED DESCRIPTION OF PREFERRED EMBODIMENTS

Fig. 1 is a circuit diagram of the programmable interconnect discussed in the previously-noted patent application, which incorporates the programming means of this

invention. The programmable interconnect has two parts, an MOS transistor 20 and a Fowler-Nordheim (FN) tunneling device 10. The MOS transistor 20 is a switch which programmably connects its source/drain regions, each of which is connected to a circuit node in the FPGA integrated circuit, to define a desired circuit. The circuit nodes are represented by the terminals 21 and 22 in Fig. 1. The operation of the MOS switch transistor 20 is determined by the programming, i.e., the charging (adding electrons) or discharging (removing electrons) of the gate of the transistor 20. For this, the gate of the transistor 20 is connected to, indeed, is part of a floating gate structure 15 which closely couples the MOS switch transistor 20 to the tunneling device 10. Floating gate 15 is further capacitively coupled to a control gate 12.

The tunneling device 10 is coupled between the floating gate 15 and a programming/erase line 14. The tunneling device 10 is composed of a special dielectric layer 11, in the form of a tunneling oxide, which separates a portion of the floating gate 15 from the programming/erase line 14. The special dielectric layer 11, provides a barrier between the programming/erase line 14 and the floating gate 15 through which electrons can "tunnel" under certain conditions. In this manner, the programmable interconnect can be erased or programmed by charging or discharging the floating gate to turn the MOS switch transistor 20 off or on, respectively.

To charge the floating gate 15, a voltage is placed between the control gate 12 and the programming/erase line 14. The voltage is large enough to permit the charges to tunnel through the dielectric layer 11. In the description below, electrons are used to charge and discharge the floating gate 15. Hence, to charge the programmable interconnect, a large positive voltage is placed on the control gate 12 with respect to the programming/erase line. This causes electrons to travel from the programming/erase line to the floating gate, which is capacitively coupled to the control gate 12. Conversely, to discharge the electrons from the floating gate 15 to the programming/erase line 14, the voltages are reversed on the programming/erase line 14 and control gate 12. The

programmable interconnect is simple because only one device, the tunneling device 10, is used for both charging and discharging the floating gate.

Fig. 2A illustrates an array of programmable interconnect cells, each of which may be represented by the circuit diagram of Fig. 1, in rows and columns, according to the present invention. It should be noted that the words, "rows" and "columns," are used with respect to the drawings, but represent arbitrary directions for an integrated circuit. For exemplary purposes, the array in Fig. 2A is shown with only nine programmable interconnect cells 30A-30I. Polysilicon lines 51-53 run horizontally in the drawing and create rows in Fig. 2A array. The lines 51-53 form the control gates for the programmable interconnect cells. Specifically, the polysilicon line 51 forms the control gates for the programmable interconnect cells 30A-30C, the polysilicon line 52 forms the control gates for the cells 30D-30F, and the polysilicon line 53 the control gates for the cells 30G-30I. In semiconductor terminology, the lines 51-53 are formed from a "Poly 2" layer, since they are formed by the second polysilicon layer deposited over the substrate to form the integrated circuit.

Beneath the polysilicon lines 51-53 are polysilicon floating gate electrodes 15A-15I for each of the programmable interconnect cells 30A-30I. The sets of electrodes 15A-15C, 15D-15F, and 15G-15I are laterally coextensive with the overlying polysilicon control gate lines 51-53 respectively, except that each electrode is separated from other electrodes in the same row. The electrodes 15A-15I are indicated by the shading of diagonal lines in Fig. 2A. The electrodes 15A-15I are formed from a "Poly 1" layer, the first polysilicon layer deposited over the substrate 40.

Perpendicular to and beneath the lines 51-53 and electrodes 15A-15I, are programming/erase lines 41-43. The programming/erase lines 41-43 are delineated by dashed lines in Fig. 2A. These programming/erase lines 41-43 are N- well doped regions in the semiconductor substrate (shown in Fig. 2B) of the integrated circuit. These vertical lines 41-43 connect the programmable interconnect cells in a column. Separating the

programming/erase lines 41-43 from the floating gate electrodes 15A-15I are silicon dioxide layers which have two thicknesses, namely a gate oxide 32A-32I, typically less than 400Å, and an especially thin region, i.e., less than 150Å, which forms the tunneling oxide 31A-31I for each cell. The tunneling oxide 31A-31I is represented by a box with the letter "T"; references numerals 31A-31I are used for the tunneling oxide in the respective cells. In the substrate on either side of, but within the dashed programming/erase lines (N- wells) 41-43 are heavily doped P+ regions, respectively. These P+ regions form tunneling control lines 71A,B-73A,B which prevent tunneling from a N- programming/erase line by forming a deep charge depletion region in the N- doped lines 41-43 between the lines 71A,B-73A,B. Only the cell above an N- programming/erase line with no reverse bias on the P+ tunneling control line, can be programmed, according to the present invention.

The MOS switch transistor of each cell 30A-30I comprises the right side of each floating gate electrode 15A-15I and the source/drain regions 61-63 in the semiconductor substrate. The source/drain regions 61-63 appear as vertical and continuous conducting regions in the substrate from the plan view of Fig. 2A. Of course, these N+ regions are separated by channel regions under the floating gate electrodes 15A-15I. These source/drain regions 61-63 lie in a P-substrate or a P- well which runs vertically and holds the source/drain regions 61-63 of the cells in a column. Each of the source/drain regions 61-63 are shown with via contacts 81-83, which are connected to the circuit nodes of the integrated circuit so that an MOS switch transistor can make (or break) a wiring interconnection or to set the function or functions of a logic element.

Fig. 2B is an exemplary cross-sectional view of the programmable interconnect cell 30G along line B-B' in Fig. 2A. As shown, the polysilicon line 53 forming the control gate extends across the programmable interconnect cell 30G. A silicon dioxide layer separates the floating gate electrode 15G from the MOS switch transistor channel region formed by the semiconductor substrate 40. On the left side of the floating

gate electrode 15G, the silicon dioxide layer has the tunneling oxide layer 31G and the gate oxide layer 32G, which are located above the N- programming/erase line 41. On either side of the programming/erase line 41 are the P+ tunneling control lines 71A and 71B.

The right side of the floating gate electrode 15G forms the gate of the NMOS switch transistor of the programmable interconnect cell 30G. A P- substrate region 40 or a P- well underlies the channel region of the transistor. The source/drain regions 61 of the transistor are delineated by a dotted line because these regions are not part of the channel region, and hence do not lie along the line B-B' in Fig. 2A.

The silicon dioxide layer on the substrate 40 has varying thicknesses. In the region 32G over the tunnel device and the gate region of the MOS switch transistor of the programmable interconnect cell 30G, the layer is relatively thin, typically less than 500Å. In the other regions the dioxide layer thickens into a field oxide, typically between 5,000 to 10,000Å. Beneath the field oxide are doped (in the present case, P+) channel-stop regions 45, as commonly found in present-day integrated circuits. Thus it should be evident that the drawings are not drawn to scale, but rather to explain out the various points of the present invention.

For programming the cells, the cells of the array shown in Fig. 2A are addressed by decoders which are responsive to address signals on input/output pins of the FPGA integrated circuit. During the programming of the cells, the decoders are connected to programming voltage supplies.

In the table of Fig. 3 each of the possible cell floating gate operating bias conditions (fully erased to $V_{fg} = -0.5$ volts / switch off, or fully programmed $V_{fg} = 7.5$ volts / switch on) are listed. Operating bias conditions are achieved after erasing or programming the cell and then applying operating biases to the control gate and programming/erase lines so as to shift the erased/programmed states to the optimum operating conditions. Therefore, these erased/programming voltage levels are for illustrative purposes only and can be optimized for erase/programming and retention

characteristics independently of operating conditions. For example, erased/programmed V_{fg} 's of +4/-4 volts can be used instead of -0.5/+7.5 volts.

5 In the operation of the array of programmable
interconnect cells all floating gates of the cells in the array
are initially charged (erased) in a block operation. That is,
electrons are added to the floating gate electrodes 15A-15I of
all the programmable interconnect cells in the array. This is
done by raising the control gate lines 51-53 of all the rows of
10 cells to a large positive voltage, 18 volts, and placing the
programming/erase lines 41-43 and 71A,B-73A,B (tunneling
control lines) of all the columns of cells to a ground, zero
volts, in the case of the present embodiment. This causes the
electrons on the respective floating gates 15A-15I to tunnel
15 through the tunnel oxides 31A-31I to the floating gate
electrodes 15A-15I. This lowers the voltage on all the
floating gate electrodes 15A-15I of the array so that all of
the NMOS switch transistors of the array are turned off. This
operation is shown as the first operation (A) (Block Program
Cells Erase to OFF) in the table in Fig. 3.

20 Then, the programmable interconnect cells are
selectively discharged, i.e., programmed, to turn on the switch
transistors of the selected cells. The selective discharging
operation is performed by raising the N- column
25 programming/erase line 41-43 and the P+ column tunneling
control lines 71A,B-73A,B of the selected cell to +18 volts and
maintaining the control gate line 51-53 of the selected cell at
0 volts. This creates an inversion layer biased to 18 volts on
the surface of the programming/erase lines below the tunnel.
30 In the rows of the unselected cells, the control gate lines 51-
53 are left at +18 volts. In the columns of the unselected
cells, the programming/erase lines 41-43 are left at +18 volts,
and the tunneling control lines 71A,B-73A,B are kept at 0
volts. This creates a deep depletion region in the substrate
35 below the tunneling oxide of the unselected cells since the N-
programming/erase lines are biased positively and the P+
tunneling control lines are biased negatively with respect to
the other. The light doping of the N- programming/erase lines

ensures that the depletion region which is generated by the reverse bias is deep and spreads entirely across the region below the tunneling oxide. Blockage against tunneling electrons is now complete. Operation (B) (Selective Cell Program to "ON") in the Fig. 3 table illustrates the selective discharging of the cell 30E, as an example. The N- well column programming/erase line 42 and the tunneling control lines 72A, 72B are raised to +18 volts. The control gate row line 52 is set to 0 volts. The electrons on the floating gate 15E travel through the tunnel oxide 31E, to the N- well of the selected cell. The MOS switch transistor of the cell 30E is turned on since the charge on the floating gate 15E is reduced, and the floating gate voltage made more positive.

For the unselected cells with both unselected row and columns (30A, C, G, I), the control gate lines 51 and 53 are set to +18 volts and the programming/erase lines 41 and 43 are set to +18 volts also, while the tunneling control lines 71A,B and 73A,B of the unselected cells are set to 0 volts. These cells are not programmed due to the equipotential field between the control gate and programming/erase lines. Similarly, the cells 30B and 30H with unselected rows and selected columns are not programmed because both the control gates 51 and 53 and N-well column programming/erase line 42 line are both set to +18 volts.

The cells 30D and 30F with selected rows and unselected columns are not programmed either. While the control gate line 52 of these cells is kept at 0 volts and the N- well column programming/erase lines 41 and 43 are set at +18 volts, the tunneling control lines 71A,B and 73A,B are set to 0 volts. For each of these cells, this creates a charge depletion region which extends under the tunneling oxide 31D and 31F due to the back-bias of the PN junction formed by the tunneling control lines 71A,B and 73A,B and the N- well column programming/erase lines 41 and 43 respectively. Fig. 4 shows the deep charge depletion region 90 illustrated by a dotted line and which extends under the tunnel oxide 31D. Because the voltage difference between the floating gate 15D or 15F and the N- well 41 or 43 is dropped almost entirely across the

depletion region 90, and not the tunnel oxide 31D or 31F, charges are blocked from tunneling from the floating gate 15D or 15F to the N- well column programming/erase lines 41 or 43.

Charge depletion regions are also formed under the remaining cells 30A, 30C, 30G and 30I. No tunneling occurs in these cells either, due to the low field across the tunnel oxide. Most of the voltage drop between the floating gates (15A, 15C, 15G, 15I) and the N- well columns (41, 43) is across the depletion region 90.

In this manner, only the selected cell 30E is programmed.

Fig. 5 illustrates another embodiment of the programmable interconnect cell according to the present invention. In this embodiment, the same reference numbers are used for the exemplary cell 30A, except where the features are different. In this case, instead of a pair of tunneling control lines, a single line 74 is formed in the N- region forming the N- programming/erase line 41. The tunneling control line 74 runs parallel with the line 41 and has a pair of extensions 74A which extend perpendicularly from the line 74 on either side of the tunnel oxide 31A. The heavily doped P+ extensions 74A are located away from the region directly below the tunneling oxide so that the PN junction between the extensions 74A and the N- well programming/erase line 41 is removed from the region when the junction is unbiased. When the junction is reverse-biased, the charge depletion region of the junction extends across the region to prevent tunneling. In the same manner as described previously with respect to a pair of tunneling control lines, the extensions 74A form a deep charge depletion region under the tunnel oxide 31A when reverse-biased with the N- well programming/erase line 41.

As can be seen from Figs. 2A and 2B, the Fowler-Nordheim section of the cell, e.g., cell 30G, may also be used as a P-MOS transistor (see Fig. 6). With proper biasing of rows 51-53, the P-MOS transistor 30G may be used to selectively monitor the programming state of each memory cell by monitoring the conductance of source/drain P+ column tunneling control lines 71A and 71B. An example of a method to measure the

threshold and conductance of cell 30G would be as follows:
bias rows 41 and 52, N- well 41, and control line 71A to 10
volts, and control line 71B to 0 volts; sweep the control gate
voltage, row 53 from 0 volts to 15 volts and measure the
current flowing from between control lines 71A and 71B.
Threshold and conductance are then readily calculated.

Figs. 7A-7D show several different process options
that may be used with same mask layout used in Fig. 2A. The
preferred option used in this patent is illustrated in Fig. 7C.
It can be seen this is the same as Fig. 2B.

Fig. 7D illustrates a variation of Fig. 7C wherein a
dual well process is employed to isolate the switch area 61
from the programming element, e.g., cell 30G of Fig. 2A, to
increase the capacitive coupling to the floating gate 15G
during erase. Normally, only a portion of the voltage placed
on the control gates 51-53 is capacitively transferred to the
floating gates 15A-15I due to the capacitive voltage division
effects of parasitic capacitances to the floating gates,
primarily the capacitance of the switch areas 61-63 under the
control gates. Biasing the switch areas 61-63 the same as the
control gates 51-53 assists the control gate in biasing the
floating gates 15A-15I to the proper erase voltage level. This
is accomplished during erase by biasing the programming/erase
lines, N- wells 41-43, to -18 volts instead of 0 volts, placing
0 volts on the control gates 51-53 instead of 18 volts, and
maintaining the P- well 440 under the switch area at 0 volts.
N- substrate 150 is normally held at ground potential. A
secondary advantage of this structure is that it permits an
alternate method of operation, "splitting" the
erase/programming voltages. For example, instead of applying
+18/-18 volts biases to the various programming/erase nodes
with the control gates at 0 volts, +9/-9 volts may be applied
to the programming/erase nodes while -9/+ 9 volts is applied to
the control gates. This reduces the high voltage requirements
on the process, thereby simplifying it.

The basic array operation is similar with all
structures of Figs. 7A-7D, except for the following exceptions:

12

StructureComment

Figs. 7A,B

- Block erase all cells to "switch on" with poly 2 row control gates at 0 volts and HV on P- region under tunnel window.

- Selective cell program to "switch off" with appropriate control gate, column lines under floating gate, and programming/erase line bias.

Fig. 7C

- Block erase all cells to "switch off" Poly 2 row control gate at 18 volts and 0 volts on N- region under tunnel oxide (described herein).

- Selective cell program to "switch on" (described herein).

Fig. 7D

- Block erase by applying -18 volts to the programming/erase line 41 while holding all other nodes, including P- well 440 at 0 volts. P- well 340 may either be left floating or biased to the same voltage as erase line 41.

Therefore, while the description above provides a full and complete disclosure of the preferred embodiments of the present invention, various modifications, alternate constructions and equivalents may be employed without departing from the true scope and spirit of the invention. In particular, all N and P-type materials may be replaced by their complements, P and N-type materials respectively, to create

complementary structures which work identically to those described herein except with voltages of opposite polarity. The present invention, therefore, should be limited only by the metes and bounds of the appended claims.

WHAT IS CLAIMED IS:

1 1. In an integrated circuit having a plurality of
2 circuit nodes and a plurality of programmable interconnects,
3 each programmable interconnect capable of connecting said
4 circuit nodes responsive to a programmed state, each
5 programmable interconnect comprising

6 a first MOS transistor having a first and second
7 source/drain connected to a first and second circuit node
8 respectively, and a gate for turning said first MOS transistor
9 off and on responsive to the amount of charge on said floating
10 gate; and

11 a tunneling device having a floating gate connected
12 to said gate of said first MOS transistor and coupled to a
13 programming/erase line through a tunneling oxide layer, a
14 control gate capacitively coupled to said floating gate and to
15 a floating gate of another tunneling device of another
16 programmable interconnect, and means for controllably
17 inhibiting tunneling through said oxide layer;

18 whereby said programmable interconnect is selectively
19 programmable without programming said another programmable
20 interconnect.

1 2. The programmable interconnect of claim 1 wherein
2 said programming/erase line comprises a semiconductor region
3 under said tunneling oxide layer, and wherein said tunneling
4 inhibiting means comprises a charge depletion region in said
5 semiconductor region controllably extending directly beneath
6 said tunneling oxide.

1 3. The programmable interconnect of claim 2 wherein
2 said tunneling inhibiting means comprises a PN junction under a
3 reverse-bias to create a charge depletion region directly
4 beneath said tunneling oxide.

1 4. The programmable interconnect of claim 3 wherein
2 said PN junction under no bias is displaced from said
3 semiconductor region.

1 5. The programmable interconnect of claim 4 wherein
2 said PN junction under no bias is laterally displaced from said
3 semiconductor region and is contiguous to said region on either
4 side.

1 6. The programmable interconnect of claim 5 wherein
2 said semiconductor region is of a first polarity, and said PN
3 junction comprises two linearly-shaped regions of a second
4 polarity in said region, said second polarity regions extending
5 substantially parallel in either side of said first polarity
6 semiconductor region.

1 7. The programmable interconnect of claim 6 wherein
2 said two second polarity regions merge into a third linearly-
3 shaped region of second polarity, said third region extending
4 substantially perpendicular to said two second polarity
5 regions.

1 8. The programmable interconnect of claim 6 wherein
2 said semiconductor region comprises a first region in a
3 semiconductor substrate, said first region having a low doping
4 concentration.

1 9. The programmable interconnect of claim 8 wherein
2 said two second polarity regions comprise second regions in
3 said semiconductor substrate, said second regions having a high
4 doping concentration.

1 10. The programmable interconnect of claim 8 wherein
2 said first region comprises a P- region.

1 11. An array of programmable interconnect cells in
2 an integrated circuit substrate, said array comprising
3 each programmable interconnect cell having an MOS
4 switch transistor having a pair of source/drain regions in said
5 substrate separated by a gate electrode, said gate electrode
6 extending over a tunneling oxide on said substrate and
7 extending under a control gate electrode, said substrate having

8 a first conducting region under said tunneling oxide and a
9 second conducting region contiguous to said first conducting
10 region, said first and second conducting regions forming a PN
11 junction in said substrate;
12 said programmable interconnect cells forming an array
13 in rows and columns, programmable interconnect cells in a row
14 having said control gate electrodes connected in common to a
15 first line, programmable interconnect cells in a column having
16 said first conducting regions connected in common to a second
17 line and said second conducting regions connected in common to
18 a third line;
19 whereby each programmable interconnect cell may be
20 selectively programmed.

1 12. The array of programmable interconnect cells of
2 claim 11 wherein said first conducting region comprises a
3 lightly doped region of first polarity.

1 13. The array of programmable interconnect cells of
2 claim 12 wherein said second conducting region comprises a
3 heavily doped region of second polarity.

1 14. The array of programmable interconnect cells of
2 claim 13 wherein said first conducting region comprises a P-
3 region and said second conducting region comprises an N+
4 region.

1 15. The array of programmable interconnect cells of
2 claim 14 wherein said pair of source/drain regions of said MOS
3 switch transistor comprise N+ regions in a P- well region.

1 16. The array of programmable interconnect cells of
2 claim 13 wherein said first conducting region comprises a N-
3 region and said second conducting region comprises an P+
4 region.

1 17. The array of programmable interconnect cells of
2 claim 16 wherein said pair of source/drain regions of said MOS

3 switch transistor comprise P+ regions in a first N- well region
4 and wherein said first and second conducting regions are
5 located in a second N- well region.

1 18. The array of programmable interconnect cells of
2 claim 11 wherein said second line comprises a first
3 substantially linear, conducting region in said substrate
4 joining said first conducting regions of programmable
5 interconnect cells in a column.

1 19. The array of programmable interconnect cells of
2 claim 11 wherein said third line comprises a second,
3 substantially linear, conducting region in said substrate
4 joining said second conducting regions of programmable
5 interconnect cells in a column.

1 20. The array of programmable interconnect cells of
2 claim 19 wherein said second line comprises a first
3 substantially linear, conducting region in said substrate
4 joining said first regions of programmable interconnect cells
5 in a column, and said second, substantially linear, conducting
6 region comprises a pair of third conducting regions aligned on
7 either side of said first substantially linear, conducting
8 region.

1 21. The array of programmable interconnect cells of
2 claim 19 wherein said second line comprises a first
3 substantially linear, conducting region in said substrate
4 joining said first regions of programmable interconnect cells
5 in a column, and said second, substantially linear, conducting
6 region further comprises a pair of third conducting regions
7 extending perpendicularly from said second, substantially
8 linear, conducting region on either side of said first
9 conducting region.

1 22. The array of programmable interconnect cells of
2 claim 11 wherein said first line comprises a substantially
3 linear, conducting layer over said substrate joining said

4 control gate electrodes of programmable interconnect cells in a
5 row.

1 23. In an integrated circuit on a semiconductor
2 substrate, said integrated circuit having a plurality of
3 circuit nodes and an array of programmable interconnect cells,
4 each programmable interconnect cell having a floating gate over
5 a region of said semiconductor substrate and capable of
6 connecting a pair of said circuit nodes responsive to a
7 programmed state of said floating gate, a method of programming
8 a selected programmable interconnect cell comprising
9 generating a voltage between said substrate region
10 and said floating gate of said selected programmable
11 interconnect cell sufficiently large so that electric charges
12 tunnel through an oxide layer between said floating gate and
13 said substrate region to set said floating gate into one state
14 or another; and
15 generating a charge depletion region in said
16 substrate region of non-selected programmable interconnect
17 cells at the same time;
18 whereby only said selected programmable interconnect
19 cell in said array is programmed.

1 24. The method of claim 23 wherein said voltage
2 generating step is such that said electric charges tunnel from
3 said floating gate to said substrate region.

1 25. The method of claim 23 wherein said voltage
2 generating step is such that said electric charges tunnel from
3 said substrate region to said floating gate.

1 26. The method of claim 23 wherein said charge
2 depletion region generating step comprises reverse biasing a PN
3 junction near said substrate region so that said charge
4 depletion region extends through said substrate region.

1 27. The method of claim 23 wherein each cell further
2 comprises a control gate electrode capacitively coupled to said

3 floating gate of said cell, and said substrate region of each
4 cell further comprises a first region of first polarity and
5 bordering second and third regions of second polarity, said
6 first and second regions, and first and third regions defining
7 said PN junction, said method further comprising
8 setting said first region of a preselected
9 programmable interconnect cell to a first voltage;
10 generating a second voltage between said second and
11 third regions of said preselected programmable interconnect
12 cell; and
13 generating a third voltage on said control gate of
14 said preselected programmable interconnect cell so as to turn
15 on said preselected programmable interconnect cell;
16 determining an amount of current between said second
17 and third regions;
18 whereby the programmed state of said preselected
19 programmable interconnect cell may be monitored.

1 28. The method of claim 26 wherein said programmable
2 interconnect cells are arrayed in rows and columns, said
3 substrate region of each cell comprising a first region of
4 first polarity and bordering a second region of second
5 polarity, said first and second regions defining said PN
6 junction, said first region of each cell in a column connected
7 together, said second region of each cell in a column connected
8 together, and wherein said charge depletion generating step
9 comprises reverse biasing said PN junction of each cell in said
10 column.

1 29. The method of claim 28 wherein said first region
2 of each cell in a column connected together comprise a first
3 line for said column and said second region of each cell in a
4 column connected together comprise a second line for said
5 column, said charge depletion generating step comprises
6 generating a first voltage on said first line and
7 generating a second voltage on said second line, said first and
8 second voltages having a difference such that said PN junction
9 of each cell in said column is reverse-biased.

1 30. The method of claim 29 wherein each programmable
2 interconnect cell has a control gate electrode capacitively
3 coupled to said floating gate of said cell, said control gate
4 electrode of each cell in a row connected together, and wherein
5 said voltage generating step between said substrate region and
6 said floating gate comprises
7 generating a third voltage on said control gate
8 electrodes of each cell in a row of said selected cell, said
9 third voltage having a difference with respect to said first
10 voltage so that electric charges tunnel through an oxide layer
11 of said selected cell.

1/5

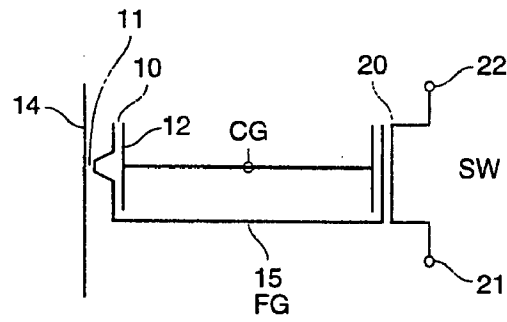


FIG. 1

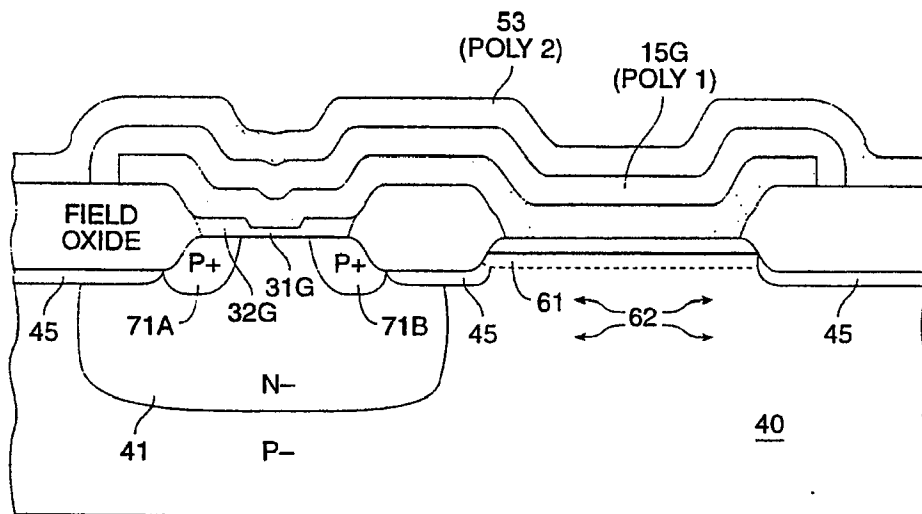


FIG. 2B

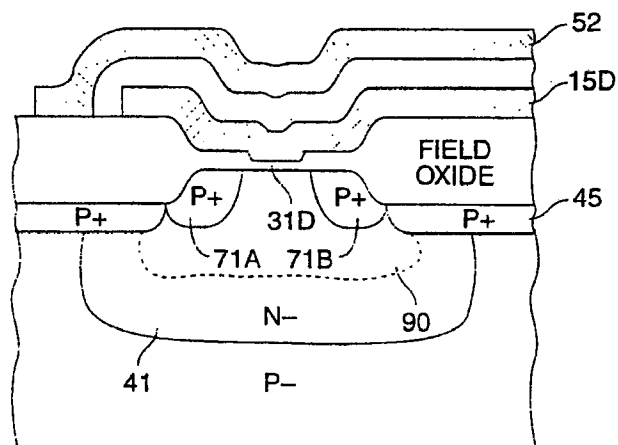


FIG. 4

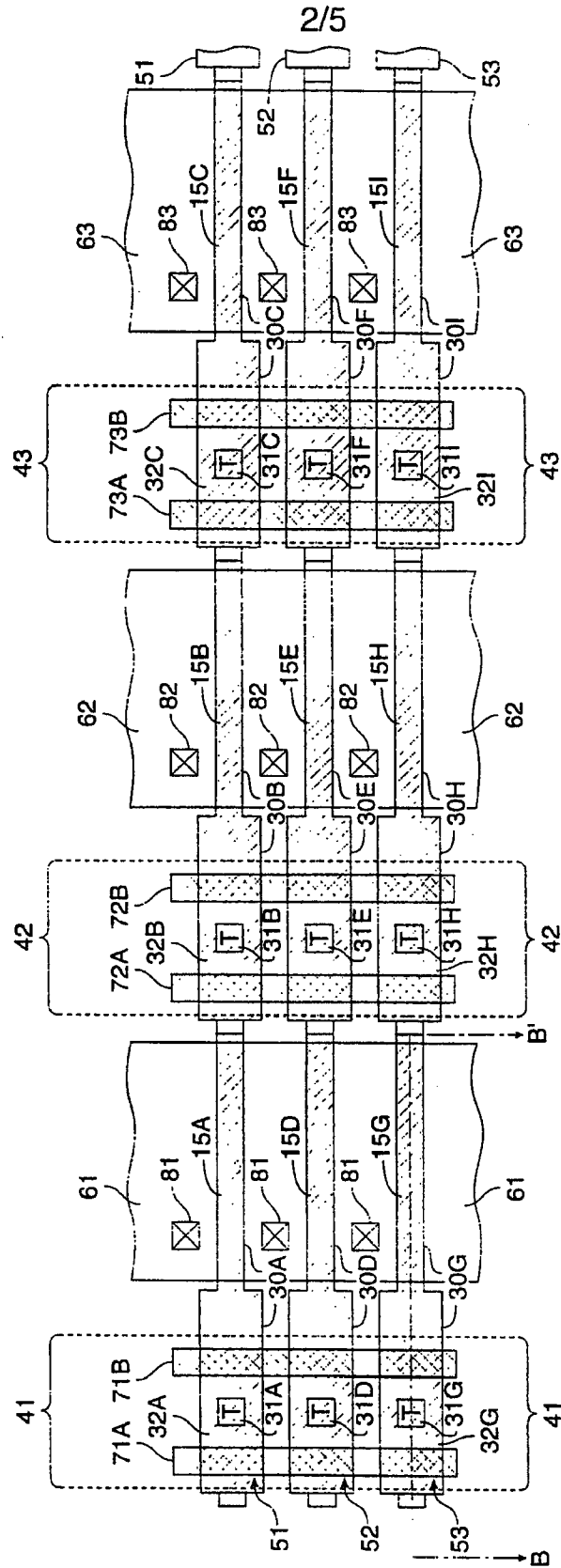


FIG. 2A

3/5

Program Erase Conditions

Program Erase, Disturb - Comment	Cell #	Vcg Poly 2 Row	V N- well Col.	V p- subst.	V p+p+ Col. lines	Vfg initial	State under FN window during	Vfg after	Switch xtor. state - final
• A) Block Prog. cells Erase to "OFF" (See Fig. 2A -->)	ALL	+18v all P2	0 a N- wells	0 all	0 all	7.5 -0.5	0v 0v	-0.5 -0.5	off off
• B) Selective Cell Program to "ON" (See Fig. 2A -->)	30E	0 52	18 42	0 40	18 72a, 72b	-0.5 7.5	18v (Inversion) 18v (Inversion)	7.5 7.5	on on
Disturb Check - Sel. row, un-sel col. (See Fig. 2A -->)	30D, F	0 52 0	18 41, 43 18	0 40 0	0 71a, b + 73a, b 0	-0.5 7.5	Depletion, no dist. Depletion, no dist.	-0.5 7.5	off on
Disturb Check - Sel. col, un-sel row. (See Fig. 2A -->)	30B, H	18 51, 53 18	18 42 18	0 40 0	18 72a, 72b 18	-0.5 7.5	Near FG equipotential no dist. Near FG equipotential No 1 fn, no dist.	-0.5 7.5	off on
Disturb Check - Un-sel, un-sel col. (See Fig. 2A -->)	30A, C, G, I	18 51, 53 18	18 41, 43 18	0 40 0	0 71a, b + 73a, b 0	-0.5 7.5	Near FG equipotential +Depletion, no dist. Near FG equipotential +Depletion, no dist.	-0.5 7.5	off on

*FG = Floating Gate

FIG. 3

4/5

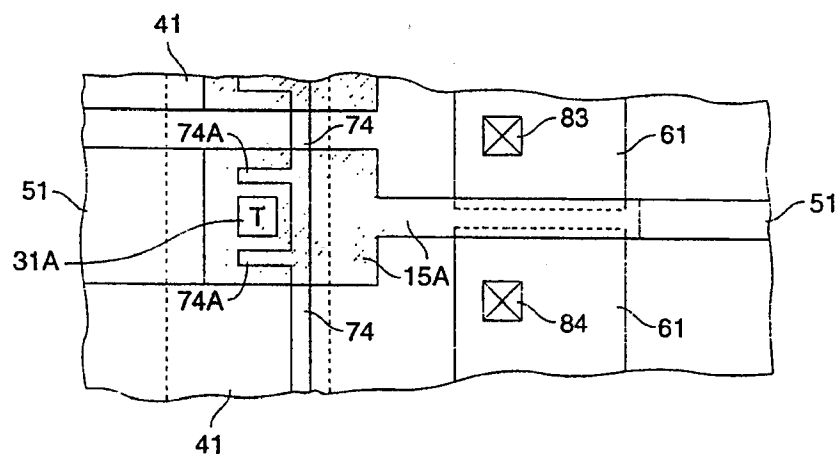


FIG. 5

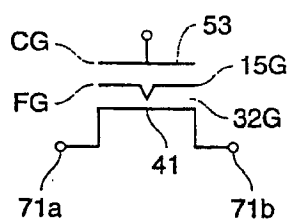


FIG. 6

5/5

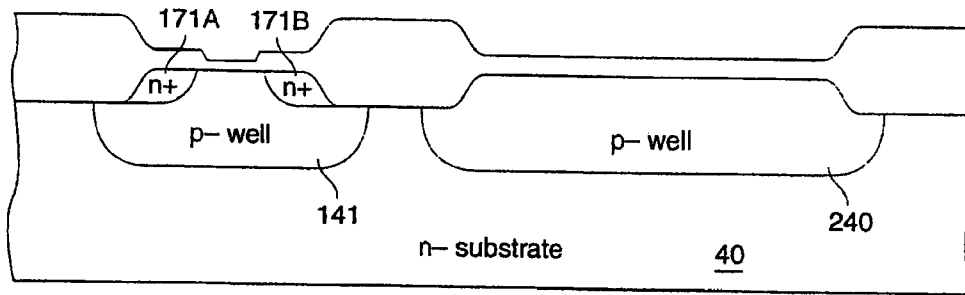


FIG. 7A

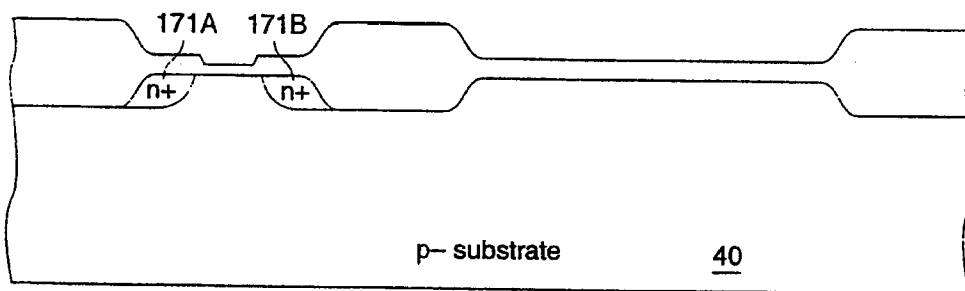


FIG. 7B

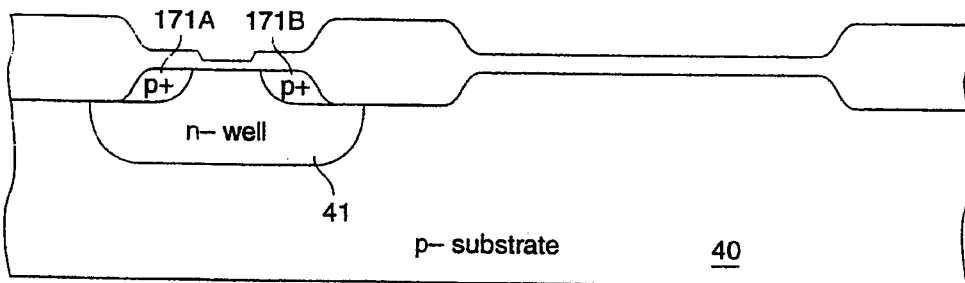


FIG. 7C

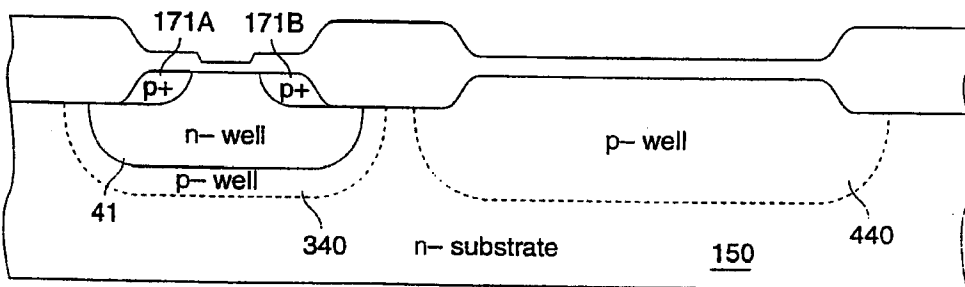


FIG. 7D

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US96/11219

A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) :H01L 29/788; G11C 11/34

US CL :257/314,315, 318, 321; 365/185.01, 185.10, 185.14, 185.18, 185.28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 257/314,315, 318, 321; 365/185.01, 185.10, 185.14, 185.18, 185.28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
foreign documents located in the above US classes/subclasses.

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

APS: EEPROM, tunnel7, FN.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP, A, 0573170 (BERGEMONT) 08 December 1993, Fig. 7.	11-16
A	US, A, 4,672,409 (TAKEI ET AL.) 09 June 1987, Figs. 1-10.	1-30
A	US, A, 5,019,879 (CHIU) 28 May 1991, Figs. 1-18.	1-30
A	US, A, 5,021,848 (CHIU) 04 June 1991, Figs. 1-18.	1-30
A	US, A, 5,225,362 (BERGEMONT) 06 July 1993, Figs. 4-15.	1-30

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

05 AUGUST 1996

Date of mailing of the international search report

16 AUG 1996

Name and mailing address of the ISA/US
Commissioner of Patents and Trademarks
Box PCT
Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

DAVID B. HARDY

Telephone No. (703) 308-4092

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平11-510315

(43) 公表日 平成11年(1999) 9月7日

(51) Int.Cl.⁵

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

A

G 1 1 C 16/04

29/78

3 7 1

H 0 1 L 21/8247

27/10

4 3 4

27/115

G 1 1 C 17/00

6 2 3 B

29/788

審査請求 未請求 予備審査請求 有 (全 26 頁) 最終頁に続く

(21) 出願番号 特願平9-507595

(86) (22) 出願日 平成8年(1996) 7月1日

(85) 翻訳文提出日 平成10年(1998) 1月28日

(86) 国際出願番号 PCT/US 96/11219

(87) 国際公開番号 WO 97/05662

(87) 国際公開日 平成9年(1997) 2月13日

(31) 優先権主張番号 08/508, 914

(32) 優先日 1995年7月28日

(33) 優先権主張国 米国 (US)

(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), AU, CN, J P, K R

(71) 出願人 ゲートフィールド コーポレーション

アメリカ合衆国 カリフォルニア州

94538 フリーモント ベイサイド パー

クウェイ 47100

(72) 発明者 ブローズ ロバート ユー

アメリカ合衆国 カリフォルニア州

95060 サンタクルーズ ナーナ コート

126

(74) 代理人 弁理士 中村 総 (外6名)

(54) 【発明の名称】 FNトンネルを有する不揮発性プログラマブル相互接続セル及びそのプログラミング方法

(57) 【要約】

ノードにプログラマブルに接続又は切断するMOSスイッチトランジスタのゲートとして各セルが浮遊ゲートを有する、プログラマブル相互接続セルの阵列がFPGAに用いられている。制御ゲート(53)に容量的に接続された各セルの浮遊ゲート(15G)は、集積回路基板(40)のプログラム/消去ライン(41)上のトンネリングオキサイド(31G)を通り抜けるFowler-Nordheimによってプログラムされている。トンネリングオキサイド下のプログラム/消去ライン領域に近接してPN接合を形成する少なくとも1つのトンネリング制御ライン(71A、B)は、プログラム/消去ラインに隣接し平行である。逆バイアス下では、深い電荷空乏領域が、ブロックトンネリングに対してプログラム/消去ライン領域に形成されている。この仕方では、選択されたセルは、プログラム/消去され得るが、選択されていないセルはプログラム/消去されない。

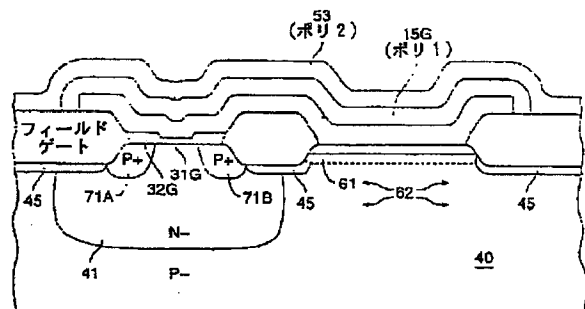


FIG. 2B

【特許請求の範囲】

1. 複数の回路ノードと、複数のプログラマブル相互接続とを有する集積回路において、各プログラマブル相互接続は、プログラムされた状態に応じて、前記回路ノードを接続することができ、各プログラマブル相互接続は、

第1のMOSトランジスタであって、第1及び第2の回路ノードにそれぞれ接続された第1及び第2のソース／ドレインと、フローティングゲート上の電荷の量に応じて、前記第1のMOSトランジスタをオン又はオフするゲートとを有する第1のMOSトランジスタ、及び

トンネル素子であって、前記第1のMOSトランジスタの前記ゲートに接続され且つトンネル酸化層を介してプログラミング／消去ラインに結合されたフローティングゲートと、このフローティングゲート及び別のプログラマブル相互接続の別のトンネル素子のフローティングゲートに容量結合された制御ゲートと、前記酸化層を介してのトンネル通過を制御されて禁止するための手段とを有するトンネル素子、から成り、

前記別のプログラマブル相互接続をプログラムすること無しに選択的にプログラム可能である前記プログラマブル相互接続。

2. 前記プログラミング／消去ラインが、前記トンネル酸化層の下に半導体領域を有し、前記トンネル通過を禁止するための手段が、前記トンネル酸化層の下に制御されて直接延びる前記半導体領域内の電荷空乏領域を有することを特徴とする請求項1記載のプログラマブル相互接続。

3. 前記トンネル通過を禁止するための手段が、逆バイアス下でPN接合を形成し、前記トンネル酸化層の直接下に電荷空乏領域を生成することを特徴とする請求項2記載のプログラマブル相互接続。

4. バイアスが無い場合、前記PN接合が前記半導体領域から除外されることを特徴とする請求項3記載のプログラマブル相互接続。

5. バイアスが無い場合、前記PN接合が前記半導体領域から横方向で除外され、何れの側でも前記領域に連続していることを特徴とする請求項4記載のプログラマブル相互接続。

6. 前記半導体領域が第1の極性を有しており、前記PN接合が前記領域内の第2の極性の2つの直線形状の領域を有し、前記第2の極性の領域が前記第1の極性の半導体領域の何れかの側部に略平行の延びていることを特徴とする請求項5記載のプログラマブル相互接続。

7. 前記第2の極性の領域が、第2の極性の第3の直線形状の領域に合流しており、前記第3の領域が前記第2の極性の領域に略垂直に延びていることを特徴とする請求項6記載のプログラマブル相互接続。

8. 前記半導体領域が、半導体基板内に第1の領域を有し、この第1の領域が低いドーピング濃度を有していることを特徴とする請求項6記載のプログラマブル相互接続。

9. 前記第2の極性の領域が前記半導体基板内に第2の領域を有し、この第2の領域が高いドーピング濃度を有していることを特徴とする請求項8記載のプログラマブル相互接続。

10. 前記第1の領域がP型領域であることを特徴とする請求項8記載のプログラマブル相互接続。

11. 集積回路基板の複数のプログラマブル相互接続セルの1つのアレイにおいて、前記アレイは、

プログラマブル相互接続セルの各々を備えており、該プログラマブル相互接続セルの各々は、ゲート電極によって分離された一対のソース／ドレイン領域を前記基板に有するMOS切換トランジスタを備えており、前記ゲート電極は前記基板上のトンネル酸化物の上部に延び、且つ、制御ゲート電極の下側に延びており、前記基板は、前記トンネル酸化物の下側の第1の導電領域と該第1の導電領域に隣接する第2の導電領域とを有しており、前記第1及び第2の導電領域は前記基板でPN接合を形成しており、

前記複数のプログラマブル相互接続セルは複数の行及び複数の列のアレイを形成しており、ある1つの行の複数のプログラマブル相互接続セルは第1のラインに共に接続された前記制御ゲート電極を有しており、ある1つの列の複数のプログラマブル相互接続セルは、第2のラインに共に接続された前記第1の導電領域と第3のラインに共に接続された前記第2の導電領域とを有しており、

これにより、各プログラマブル相互接続セルは選択的にプログラムされ得ることを特徴とするアレイ。

12. 前記第1の導電領域は第1の極性の軽ドープ領域を備えている請求項1記載のアレイ。

13. 前記第2の導電領域は第2の極性の重ドープ領域を備えている請求項1記載のアレイ。

14. 前記第1の導電領域はP⁻領域を備えており、前記第2の導電領域はN⁺領域を備えている請求項1記載のアレイ。

15. 前記MOS切換トランジスタの前記一对のソース/ドレイン領域はP⁻ウェル領域にN⁺領域を備えている請求項1記載のアレイ。

16. 前記第1の導電領域はN⁻領域を備えており、前記第2の導電領域はP⁺領域を備えている請求項1記載のアレイ。

17. 前記MOS切換トランジスタの前記一对のソース/ドレイン領域は第1のN⁻ウェル領域にP⁺領域を備えており、ここで前記第1及び第2の導電領域は第2のN⁻ウェル領域に配置されている請求項1記載のアレイ。

18. 前記第2のラインは、列におけるプログラマブル相互接続セルの前記第1の導電領域に接続する前記基体における第1の実質的に直線の導電領域を備えている請求項1記載のプログラマブル相互接続セルのアレイ。

19. 前記第3のラインは、列におけるプログラマブル相互接続セルの前記第2の導電領域に接続する前記基体における第2の実質的に直線の導電領域を備える請求項1記載のプログラマブル相互接続のアレイ。

20. 前記第2のラインは、列におけるプログラマブル相互接続セルの前記第1の領域に接続する前記基体における第1の実質的に直線の導電領域を備え、前記第2の実質的に直線の導電領域は、前記第1の実質的に直線の導電領域の一方の側で整列された1対の第3の導電領域を備える請求項1記載のプログラマブル相互接続セルのアレイ。

21. 前記第2のラインは、列におけるプログラマブル相互接続セルの前記第1の領域に接続する前記基体における第1の実質的に直線の導電領域を備え、前記第2の実質的に直線の導電領域は、さらに、前記第1の導電領域の一方の側で

前記第2の実質的に直線の導電領域から垂直に延びる1対の第3の導電領域を備える請求項19記載のプログラマブル相互接続セルのアレイ。

22. 前記第1のラインは、行におけるプログラマブル相互接続セルの前記制御ゲート電極に接続する前記基体上の実質的に直線の導電層を備える請求項11記載のプログラマブル相互接続セルのアレイ。

23. 集積回路が複数の回路ノードと、プログラマブル相互接続セルのアレイとを有し、各プログラマブル相互接続セルが、半導体基板の浮遊ゲートオーバー領域を有し、前記浮遊ゲートのプログラムが組まれた状態に応じて前記回路ノードの対と接続することができる、前記半導体基板における前記集積回路において、選択されたプログラマブル相互接続セルをプログラムする方法が、

前記浮遊ゲートのある状態または他の状態にセットするために、電荷が前記浮遊ゲートと前記基板領域との間のオキサイド層を通り抜けるように、前記基板領域と前記選択されたプログラマブルの前記浮遊ゲートとの間に十分大きな電圧を発生させ、

同時に、選択されていないプログラマブル相互接続セルの前記基板領域における電荷空乏領域を発生させる、

ことを有し、

前記アレイの前記選択されたプログラマブル相互接続セルだけがプログラムされる、方法。

24. 前記電圧発生ステップが、前記電荷が前記浮遊ゲートから前記基板領域に通る抜けるようなものである、請求の範囲第23項に記載の方法。

25. 前記電圧発生ステップが、前記電荷が前記基板領域から前記浮遊ゲートに通る抜けるようなものである、請求の範囲第23項に記載の方法。

26. 前記電荷空乏領域が前記基板領域に延びるように、前記電荷空乏領域発生ステップが、前記基板領域の近くでPN接合に逆バイアスを印加する、請求の範囲第23項に記載の方法。

27. 各セルが、前記セルの前記浮遊ゲートに容量性に結合された制御ゲート電極を更に有し、各セルの前記基板領域が、第1の極性の領域と第2の境界と第2の極性の第3領域とを更に有し、前記第1及び第2領域と、第1及び第3領域

がPN接合を形成する、前記方法が更に、

第1の電圧に対して予め選択されたプログラマブル相互接続セルの前記第1領域を設定し、

前記予め選択されたプログラマブル相互接続セルの前記第2領域と前記第3領域の間に第2の電圧を発生させ、

前記予め選択されたプログラマブル相互接続セルをターンオンするように、前記予め選択されたプログラマブル相互接続セルの前記制御ゲートに第3の電圧を発生させ、

前記第2領域と前記第3領域との間の電流の量を決定し、

前記予め選択されたプログラマブル相互接続セルのプログラムされた状態を監視し得る、請求の範囲第23項に記載の方法。

28. 前記プログラマブル相互接続セルが行と列に配列されており、各セルの前記基板領域が、第1極性の第1領域と、第2極性の第2領域の境界とを有し、前記第1領域と前記第2領域が前記PN接合を形成し、行の各セルの前記第1領域が互いに接続され、行の各セルの前記第2領域が互いに接続され、前記電荷空乏発生ステップが、前記行の各セルの前記PN接合に逆バイアスを印加することを含む、請求の範囲第26項に記載の方法。

29. 互いに接続された行の各セルの前記第1領域が前記行に関する第1のラインを有し、互いに接続された行の各セルの前記第2領域が前記行に関する第2のラインを有し、

前記電荷空乏発生ステップが、前記第1のラインに第1の電圧を印加させ、前記第2のラインに第2の電圧を印加させ、

前記行の各セルの前記PN接合が逆バイアスになるように、前記第1及び第2の電圧が異なっている、請求の範囲第28項に記載の方法。

30. 各プログラマブル相互接続セルが全キセルの前記浮遊ゲートに容量性に接続された制御ゲート電極を有し、列の各セルの前記制御ゲート電極が互いに接続され、前記基板領域と前記浮遊ゲートとの間の前記電圧発生ステップが、

前記選択されたセル乗れるの各セルの前記制御ゲート電極に第3の電圧を印加することを有し、

電荷が前記選択されたセルのオキサイド層を通り抜けるように、前記第3の電圧が、前記第1の電圧に関して異なっていることを特徴とする、請求の範囲第29項に記載の方法。

【発明の詳細な説明】

F Nトンネルを有する不揮発性プログラマブル相互接続セル及びそのプログラミング方法

発明の分野

本発明は、フィールドプログラマブル集積回路に関し、特にフィールドプログラマブルゲートアレイ（FPGA）に関し、より特定的には、FPGAにおいてスイッチング素子として用いられるフローティングゲートMOSトランジスタに関する。

発明の背景

一般的に、FPGAは、画定された機能を有する集積回路の中にユーザによってFPGAを構成することができるようなプログラマブル相互接続の、数千或いは数万の配線相互接続及びロジック素子のアレイを有する。各プログラマブル相互接続、またはスイッチは、配線相互接続を行う（または行わない）ためにまたはロジック素子の機能を設定するために、集積回路の二つの回路ノードを接続することができる。

FPGAは、プログラマブル相互接続に対してメモリセルまたはアンチヒューズ(antifuse)のいずれかを用いる。メモリセルは、リプログラマブルであり、アンチヒューズは、一度だけプログラマブルである。新しいメモリ型のプログラマブル相互接続は、Robert J. Lipp, Richard D. Freeman, Robert U. Broze, John M. Caywood, 及びJoseph G. Nolan, IIIによって1994年7月5日に出願されかつ本発明の譲受人に譲渡された“A GENERAL PURPOSE, NON-VOLATILE REPROGRAMMABLE SWITCH”という発明の名称の米国特許出願第08/270,714号に開示されている。上記特許出願に記載されたFPGAでは、不規則な相互接続FPGA配線及び回路素子に対して汎用スイッチング素子を供給すべく不揮発性リプログラマブルトランジスタメモリ（NVM）セルが用いられている。基本的にNVMセルは、帯電及び／又は放電されうるフローティングゲートを有する

MOSトランジスタを有している。フローティングゲートを帯電すること及び／又は放電することは、NVM技術の不揮発性プログラマビリティ機能を供給する

。

FPGAでは、事実、あらゆる集積回路において、FPGAの素子が回路の効率的レイアウトのために可能な限りコンパクトでありかつ可能な限り容易に製造されるということが重要である。

発明の目的および概要

本発明は、上記特許出願に記載されたプログラマブル相互接続の一つの非常にコンパクトなセルに関する。それぞれが選択的にプログラマブルである、そのような相互接続の効率的アレイが達成される。相互接続セルアレイの製造は、今日の半導体製造技術により簡単である。

本発明は、各プログラマブル相互接続セルが相互接続セルのプログラムされた状態に応じて回路ノードを接続することができるように構成された、複数の回路ノード及びプログラマブル相互接続セルのアレイを有している集積回路を提供する。各プログラマブル相互接続セルは、第1及び第2の回路ノードにそれぞれ接続された第1及び第2のソース/ドレインを有している第1のMOSトランジスタと、ゲート上の充電の量に応じて第1のMOSトランジスタをオフ及びオンにするためのフローティングゲートとを有する。また、セルは、第1のMOSトランジスタのフローティングゲートに接続されかつトンネル酸化層を介してプログラミング/消去ラインに結合された一つの端子を有するトンネルデバイスと、フローティングゲートに静電容量的に結合された制御ゲートと、酸化層を通るトンネルを制御可能に抑制する少なくとも一つのトンネル制御ラインとを有する。トンネル制御ライン及びプログラミング/消去ラインは、トンネル酸化層の下領域に近接するが、それから横に変位される、PN接合を形成する。逆バイアス下では、接合の電荷空乏領域は、トンネルを阻止するためにトンネル酸化層の下領域を通して拡張する。これは、各プログラマブル相互接続を選択的にプログラマブルにさせる。

そのようなセルのアレイにおける選択したプログラマブル相互接続セルをプログラムするために、電圧が酸化層の下領域と選択したセルのフローティング

ゲートの間に発生される。電圧は、フローティングゲートをプログラムされた状

態に設定すべく電子がフローティングゲートから領域に酸化物層を通してトンネルするように十分に大きい。同時に、選択しなかったプログラマブル相互接続セルは、プログラミングから保護されるかまたは以下の一つによってプログラムが妨害される：

(a) 電荷空乏領域は、トンネル制御ラインとプログラム／消去ラインの間のPN接合を逆バイアスすることによってトンネル酸化物層の直下の基板領域に形成される。

(b) 等電位または低い近等電位フィールドは、ファウラー・ノルドハイムトンネル電流がフローティングゲート電位で無視できる妨害を有すべく低いようにトンネル酸化物層間に形成される。

図面の簡単な説明

図1は、相互接続をプログラムするための、ファウラー・ノルドハイムトンネルデバイスを有するプログラム可能な相互接続の回路図である。

図2Aは、本発明の1実施例のファウラー・ノルドハイムトンネルデバイスを有するプログラム可能な相互接続セルのアレイの平面図である。図2Bは、図2Aの1つのセルの断面図である。

図3は、図2Aの相互接続のアレイの電圧をプログラムする例示の表である。

図4は、図2Aのアレイのセルのトンネルデバイス内の電荷空乏領域の断面図である。

図5は、本発明の他の実施例のプログラム可能な相互接続のためのトンネルデバイスの平面図である。

図6は、FPGAセルのプログラムの状態を検知するモードで使用するファウラー・ノルドハイムトンネルデバイスの回路線図である。

図7A-7Dは、本発明のプログラム可能な相互接続を製造するための異なる製造を選択したときの断面図である。

好適な実施例の詳細な説明

図1は、前述の特許出願のプログラム可能な相互接続の回路図であり、本発明のプログラム手段を組み込んである。プログラム可能な相互接続は、MOSトラ

ンジスタ20と、ファウラー・ノルドハイム(FN)トンネルデバイス10との2つの部分を有する。MOSトランジスタ20は、それぞれFPGA集積回路の回路ノードに接続されるそのソース/ドレイン領域を、所望の回路を形成するようにプログラム可能に接続するスイッチである。回路ノードは、図1の端子21と22により表される。MOSスイッチトランジスタ20の動作は、プログラムにより、即ちトランジスタ20のゲートに荷電させる(電子を加える)か又は放電させる(電子を除去する)ことにより決定される。このため、トランジスタ20が接続されるゲートは、MOSスイッチトランジスタ20をトンネルデバイス10に緊密に結合するフローティングゲート構造15の一部である。フローティングゲート15は、さらに制御ゲート12に容量接続される。

トンネルデバイス10は、フローティングゲート15とプログラム/消去ライン14との間に接続される。トンネルデバイス10は、トンネル酸化物の形の特殊誘電性層11からなり、フローティングゲート15の一部をプログラム/消去ライン14から分離する。特殊誘電性層11は、プログラム/消去ライン14とフローティングゲート15の間に障壁を与え、ある状態で電子がそこを通過して「トンネル」する。このように、プログラム可能な相互接続は、フローティングゲートを荷電させるか放電させ、それぞれMOSスイッチをオン又はオフにすることにより、消去又はプログラムすることができる。

フローティングゲート15を荷電させるには、制御ゲート12とプログラム/消去ライン14の間に電圧をかける。電圧は、荷電が誘電性層11を通り抜けるのに十分な大きさである。以下の記載では、フローティングゲート15を荷電させ放電させるのに電子が使用される。そのため、プログラム可能な相互接続を荷電するには、制御ゲート12にプログラム/消去ライン14に対して大きな正の電圧をかける。こうすると、電子がプログラム/消去ラインから制御ゲート12に容量接続するフローティングゲートに移動する。これと逆に、電子をフローティングゲート15からプログラム/消去ライン14に放電するには、プログラム

／消去ライン14と制御ゲート12の電圧を逆にする。プログラム可能な相互接続は、フローティングゲートを荷電させ放電させるのに、1つのデバイス即ちト

ンネルデバイス12のみを使用するので簡単である。

図2Aは、本発明の図1の回路図で表される個々のプログラム可能な相互接続セルの行と列のアレイを示す。「行」と「列」という言葉は、図面について使用するが、集積回路の任意の方向を示す。例示のため、図2Aのアレイには9つのプログラム可能な相互接続セル30A-30Iのみを示す。ポリシリコンライン51-53が、図面で水平にあり図2Aのアレイの行となる。ライン51-53が、プログラム可能な相互接続セルの制御ゲートを形成する。特にポリシリコンライン51がプログラム可能な相互接続セル30A-30Cの制御ゲートを形成し、ポリシリコンライン52がプログラム可能な相互接続セル30D-30Fの制御ゲートを形成し、ポリシリコンライン53がプログラム可能な相互接続セル30G-30Iの制御ゲートを形成する。半導体用語では、ライン51-53は、集積回路を形成するとき基板上に堆積される第2のポリシリコン層により形成されるので、「ポリ2層」から形成されるという。

ポリシリコンライン51-53の下に、個々のプログラム可能な相互接続セル30A-30Iのためのポリシリコンフローティングゲート電極15A-15Iがある。電極15A-15C、15D-15F、15G-15Iの組は、横方向に同じ幅で、上にそれぞれポリシリコン制御ゲートライン51-53があり、個々の電極は、同じ行の他の電極から分離している。電極15A-15Iは、「ポリ1層」、即ち基板上に堆積される第1のポリシリコン層から形成される。

プログラミング/消去ライン41-43は、ライン51-53および電極15A-15Iに垂直で、且つ下にある。プログラミング/消去ライン41-43は、図2Aにおいて点線で描かれている。これらのプログラミング/消去ライン41-43は、集積回路の半導体基板（図2Bに示されている）におけるN-ウェルのドーパされた領域である。これらの垂直ライン41-43は、列におけるプログラム可能な相互接続セルに接続する。二つの厚さ、即ちゲート酸化物32A-32I、代表的には、400Åより小さく、および各々のセルに対してトンネル酸化物31A-31Iを形成する特に薄い領域、即ち、150Åより小

さい厚さを有する二酸化シリコン層は、フローティングゲート電極15A-15

1 からプログラミング／消去ライン 4 1—4 3 を分離している。トンネル酸化物 3 1 A—3 1 I は、文字 “T” でボックスによって表されている。参照番号 3 1 A—3 1 I は、おのこのセルにおいてトンネル酸化物のために用いられる。基板において、各々重くドーパされた P+領域は点線のプログラミング／消去ライン (N-ウエル) 4 1—4 3 の何れかの側、しかしそれらの内にある。これらの P+領域は、ライン 7 1 A, B—7 3 A, B 間の N ドープされたライン 4 1—4 3 の深い電荷の欠乏領域を形成することによって、トンネルを N-プログラミング／消去ラインから防ぐトンネル制御ライン 7 1 A, B—7 3 A, B を形成する。P+トンネル制御ライン上で逆バイアスのない N-プログラミング／消去ライン上のセルのみが本発明によってプログラムされることができる。

各セル 3 0 A—3 0 I の MOS スイッチトランジスタは、各々のフローティングゲート電極 1 5 A—1 5 I の右側と半導体基板のソース／ドレイン領域 6 1—6 3 を有する。ソース／ドレイン領域 6 1—6 3 は図 2 A の平面図から基板の垂直で、連続した導電領域として現れている。勿論、これらの N+領域は、フローティングゲート電極 1 5 A—1 5 I の下にあるチャネル領域によって分離されている。これらのソース／ドレイン領域 6 1—6 3 は、垂直にランし、列におけるセルのソース／ドレイン領域 6 1—6 3 を保持する P 基板或いは P ウエルに横たわる。ソース／ドレイン領域 6 1—6 3 の各々はコンタクト 8 1—8 3 を介して示されており、それらは、MOS スイッチトランジスタが配線の相互接続を行い (或いは切断する) ことができるように、或いはロジック素子の機能をセットするように、集積回路の回路ノードに接続される。

図 2 B は、図 2 A のライン B—B' に沿ったプログラム可能な相互接続セル 3 0 G の例示的な断面図である。図示されるように、制御ゲートを形成するポリシリコンライン 5 3 はプログラム可能な相互接続セル 3 0 G を横切って伸びている。二酸化シリコンの層は、半導体基板 4 0 によって形成された MOS スイッチトランジスタのチャネル領域からフローティングゲート電極 1 5 G を分離する。フローティングゲート電極 1 5 G の左側で、二酸化シリコンの層は、N-プログラミング／消去ライン 4 1 上に配置されたトンネル酸化物層 3 1 G とゲート酸化

物層 3 2 G を有する。プログラミング／消去ライン 4 1 の何れかの側に、P + トンネル制御ライン 7 1 A と 7 1 B がある。

フローティングゲート電極 1 5 G の右側は、プログラム可能な相互接続セル 3 0 G の NMOS スイッチトランジスタのゲートを形成する。P - 基板領域 4 0、或いは P - ウエルはトランジスタのチャネル領域の下にある。トランジスタのソース／ドレイン領域 6 1 は点線によって描かれている。何故ならば、これらの領域はチャネル領域の一部出なく、図 2 A のライン B - B' に沿っていないからである。

基板 4 0 上の二酸化シリコン層は異なる厚さを有している。トンネルデバイスおよびプログラム可能な相互接続セル 3 0 G の MOS スイッチトランジスタのゲート領域上の領域 3 2 G において、層は比較的薄く、代表的には 5 0 0 Å 以下である。他の領域では、二酸化物の層はフィールド酸化物へ厚くなり、代表的には 5,000 ~ 10,000 の間である。今日の集積回路で一般に見られるように、フィールド酸化物の下に、ドーパされた（この場合、P +）チャネルストップ領域 4 5 がある。従って、図面は一定の比率で拡大するためでなく、むしろ本発明のいろいろな点を説明するために描かれていることは明らかである。

セルをプログラミングするために、図 2 A に示されているアレイのセルは F P G A 集積回路の入力／出力ピン上のアドレス信号に応答するデコーダーによってアドレスされる。セルのプログラミング中に、デコーダーはプログラミング電源に接続される。

図 3 のテーブルにおいて、それぞれの可能なセルのフローティングゲートの動作バイアス状態（ $V_{fg} = -0.5$ ボルトで完全に消去され／スイッチオフ、或いは $V_{fg} = 7.5$ ボルトで完全にプログラムされ／スイッチオン）が表にされている。動作バイアス状態は、消去された／プログラムされた状態を最適な動作状態にシフトするように、セルを消去或いはプログラムし、その後動作バイアスを制御ゲートおよびプログラミング／消去ラインに与えた後に達成される。従って、これらの消去された／プログラミング電圧レベルは、説明の目的のためだけであり、消去／プログラミングおよび動作状態に無関係な保持特性に対して最適化される。例えば、消去された／プログラムされた + 4 / - 4 ボルトを - 0.5 / + 7.5 ボルト

トに代えて用いることができる。

プログラマブル相互接続セルのアレイの動作において、そのアレイのセルの全てのフローティングゲートが、1つのブロック動作として、最初にチャージ（消去）される。すなわち、アレイの全プログラマブル相互接続セルのフローティングゲート電極15A～15Iに、電子が加えられる。これは、セルの全ての行の制御ゲートライン51～53を高い正の電圧（18ボルト）に上昇させ、セルの全ての列のプログラミング／消去ライン41～43及び71A, B～73A, B（トンネル制御ライン）をアース（本発明の実施例の場合、ゼロボルト）に置くことによって、行われる。これにより、各フローティングゲート15A～15Iの電子が、トンネル酸化物31A～31Iを突き抜けるようにトンネル動作させられてフローティングゲート電極15A～15Iに至る。これにより、アレイの全フローティングゲート電極15A～15Iの電圧が低下して、アレイのNMOSスイッチトランジスタの全てがオフにされる。この動作が、図3の表中の第1の動作（ブロックプログラム、セルのオフへの消去）として示されている。

次に、プログラマブル相互接続セルが、選択的に放電、すなわちプログラムされて、選択したセルのスイッチトランジスタをオンにする。この選択的放電動作は、選択したセルのN-列のプログラミング／消去ライン41～43及びP+列のトンネル制御ライン71A, B～73A, Bを、+18ボルトに上昇させ、その選択したセルの制御ゲートライン51～53をゼロボルトに維持することによって行われる。これによって、トンネル部の下方のプログラミング／消去ラインの表面上に18ボルトにバイアスされた反転層が作られる。選択していないセルの行において、制御ゲートライン51～53は、+18ボルトのままに維持される。選択していないセルの列では、プログラミング／消去ライン41～43は、+18ボルトのままに維持され、トンネル制御ライン71A, B～73A, Bはゼロボルトのままに維持される。これによって、N-プログラミング／消去ラインが相対的に正にバイアスされ、P+トンネル制御ラインが相対的に負にバイアスされているので、選択していないセルのトンネル酸化物の下方の基体中に深い空乏領域を作る。N-プログラミング／消去ラインの低いドーピングにより、前記逆バイアスによって生成された空乏領域がトンネル酸化物の下方の領域の全体

に渡って深く且つ拡がるのが確実にされる。電子のトンネル動作に対する阻止が完成する。図3の表の動作(B) (選択したセルのオンへのプログラム)は、1例として、セル30Eの選択的な放電を示している。N-ウエル列のプログラミング/消去ライン42及びトンネル制御ライン72A、72Bが、+18ボルトに上昇している。制御ゲートの行ライン52は0ボルトにセットされている。フローティングゲート15Eの電子は、トンネル酸化物31Eを通して、選択したセルのN-ウエルに移動する。セル30EのMOSスイッチトランジスタは、フローティングゲート15Eの電荷が減少するので、オンになり、フローティングゲート電圧が更に正にされる。

行も列も選択されていない不選択セル(30A, C, G, I)について、制御ゲートライン51及び53が+18ボルトにセットされ、プログラミング/消去ライン41及び43も+18ボルトにセットされ、他方、不選択セルトンネル制御ライン71A, B及び73A, Bが、0ボルトにセットされている。これらのセルは、制御ゲートラインとプログラミング/消去ラインの間の等電位電界によって、プログラムされていない。同様に、不選択の行及び選択した列を有するセル30B及び30Hは、制御ゲートライン51及び53及びN-ウエル列プログラミング/消去ライン42の両方が+18ボルトにセットされているために、プログラムされていない。

選択した行と不選択の列を有するセル30D及び39Fはいずれもプログラムされていない。これらのセルの制御ゲートライン52は0ボルトに維持され且つN-ウエル列プログラミング/消去ライン41及び43は+18ボルトにセットされているが、トンネル制御ライン71A, B及び73A, Bは、0ボルトにセットされている。これらのセルの各々について、トンネル制御ライン71A, B及び73A, B及びN-ウエル列プログラミング/消去ライン41及び43によってそれぞれ形成されるPN接合のバックバイアスによって、各セルは、トンネル酸化物31D及び31Fの下方に延びる電荷空乏領域を作る。図4は、トンネル酸化物31Dの下方に延びている深い空乏領域90を、破線で示している。フローティングゲート15D又は15F及びN-ウエル列プログラミング/消去ライン41又は43の間の電圧差が、トンネル酸化物31D又は31Fではなく空

乏領域90の殆ど全体に渡って降下するために、電荷は、フローティングゲート15D又は15FからN-ウェル列プログラミング/消去ライン41又は43へのトンネル動作が阻止される。

電荷空乏領域は、また、残りのセル30A、30C、30G及び30Iの下に形成される。トンネル動作は、トンネル酸化物の低い電界によって、これらのいずれのセルにも起こらない。フローティングゲート(15A、15C、15G、15I)及びN-ウェル列プログラミング/消去ライン(41、43)の間の電圧降下の殆どが、空乏領域90に渡っている。

このようにして、選択したセル30Eだけがプログラムされる。

図5は、本発明によるプログラマブル相互接続セルの別の実施例を示している。この実施例では、特徴が異なる部分を除き、同じ参照番号が代表的なセル30Aに対して使用されている。この場合には、一对のトンネル制御ラインの代わりに、単一のライン74が、N形プログラミング/消去ライン41を形成するN形領域に形成されている。トンネル制御ライン74は、ライン41と平行になり、トンネル酸化物31Aの両側にライン74から垂直に延びている一对の延長部分74Aを有している。高ドープのP+延長部分74Aは、トンネル酸化物の真下の領域から離れて配置され、それにより、延長部分74AとN形ウェルプログラミング/消去ライン41との間のPN接合が、非バイアス時にその領域から除去されないようになっている。接合が逆バイアスされると、接合の電荷空乏領域が上記領域を横切って延びてトンネル動作を防止する。一对のトンネル制御ラインについて前述したのと同様に、N形ウェルプログラミング/消去ライン41で逆バイアスされたときに、延長部分74Aはトンネル酸化物31Aの下に深い電荷空乏領域を形成する。

図2A及び図2Bから分かるように、セル、例えばセル30GのFowler-Nordheim部は、P-MOSトランジスタ(図6参照)として使用されてもよい。行51-53の適当なバイアスによって、P-MOSトランジスタは、ソース/ドレインP+列トンネル制御ライン71A及び71Bのコンダクタンスをモニタすることにより各メモリセルのプログラミング状態を選択的にモニタするために使用される。セル30Gのしきい値及びコンダクタンスを測定する方法の例は、次

のとおりである。すなわち、行41及び52、N-ウェル41、並びに制御ライン71Aを10ボルトにバイアスするとともに制御ライン71Bを0ボルトにバイアスし、制御ゲート電圧、行53を0ボルトから15ボルトまで帰引し、制御ライン71Aと71Bの間から流れる電流を測定する。その後、しきい値及びコンダクタンスが容易に計算される。

図7A-7Dは、図2Aにおいて使用される同じマスクレイアウトとともに使用される幾つかの異なるプロセスオプションを示している。本発明で使用される好ましいオプションは、図7Cに示されている。これは図2Bと同じであることが分かるであろう。

図7Dは、図7Cの変形を示しており、この変形では、デュアルウェルプロセスは、図2Aのプログラミングエレメント、例えば、セル30Gからスイッチ領域61を絶縁して消去時にフローティングゲート15Gとの容量結合を大きくするために使用される。通常、制御ゲート51-53にかかる電圧の一部分のみが、フローティングゲートに対する寄生容量、主に、制御ゲートの下のスイッチ領域61-63の容量の容量性電圧空乏効果によって、フローティングゲート15A-15Iに容量的に移される。スイッチ領域61-63を制御ゲート51-53と同じにバイアスすることは、フローティングゲート15A-15Iを適当な消去電圧レベルにバイアスする際に制御ゲートを助ける。これは、消去時に、プログラミング/消去ライン、N-ウェル41-43を、0ボルトの代わりに、-18ボルトにバイアスし、制御ゲート51-53に、18ボルトの代わりに0ボルトをかけ、スイッチ領域の下のP-ウェル440を0ボルトに維持する。N-サブストレート150は、通常接地電位に保持される。この構造の二次的な利点は、それが、別の動作方法、消去/プログラミング電圧の“分割”を可能にすることである。例えば、制御ゲートを0ボルトに維持した状態で種々のプログラミング/消去ノードに+18/-18ボルトのバイアスを加える代わりに、プログラミング/消去ノードに+9/-9ボルトのバイアスを加える一方で、制御ゲートに+9/-9ボルトを加えてもよい。これは、プロセスに対する高い電圧要求を小さくし、それによりそのプロセスを簡単にする。

基本的なアレイ動作は、次の例外を除き、図7A-7Dの構造のすべてについ

て同じである。

構造

コメント

- 図7 A、7 B
- － ブロックは、トンネル窓下のP－領域上の0ボルト及びHVにおけるポリ2行の制御ゲートですべてのセルを消去して“スイッチオン”にする。
 - － 選択的セルが、適当な制御ゲート、フローティングゲート下の列ライン及びプログラミング／消去ラインバイアスで“スイッチオフ”するようプログラムする。
- 図7 C
- － ブロックは、トンネル酸化物下のN－領域上の18ボルト及び0ボルトにおけるポリ2行の制御ゲートですべてのセルを消去して“スイッチオフ”にする(ここで説明される)。
 - － 選択的セルが、“スイッチオン”するようプログラムする(ここで説明される)。
- 図7 D
- － ブロックは、プログラミング／消去ライン41に−18ボルトを加えることにより消去する一方で、P－ウェル440を含む他のすべてのノードを0ボルトに保持する。P－ウェル340はフローティングのままであるか又は消去ライン41と同じ電圧にバイアスされる。

したがって、上記説明は本発明の好ましい実施例の十分且つ完全な開示を与えるが、本発明の真の範囲及び精神を逸脱することなく別の構成及び等価な構成が使用されてもよい。特に、N及びP形材料はすべて、それらの相補物、P及びN形材料とそれぞれ置換されて、相補的な構造を形成してもよく、その構造では、逆極性の電圧であることを除きここで説明したのと同様に動作する。したがって、本発明は、請求の範囲の境界によってのみ限定されるべきである。

【図1】

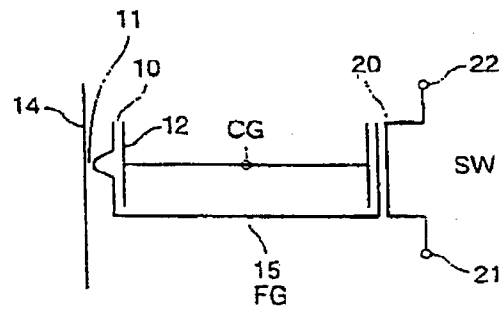


FIG. 1

【図2B】

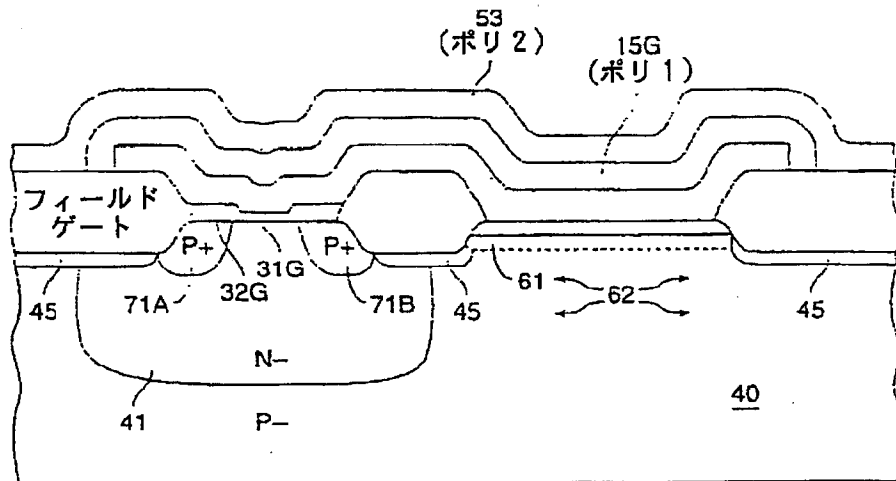


FIG. 2B

【図4】

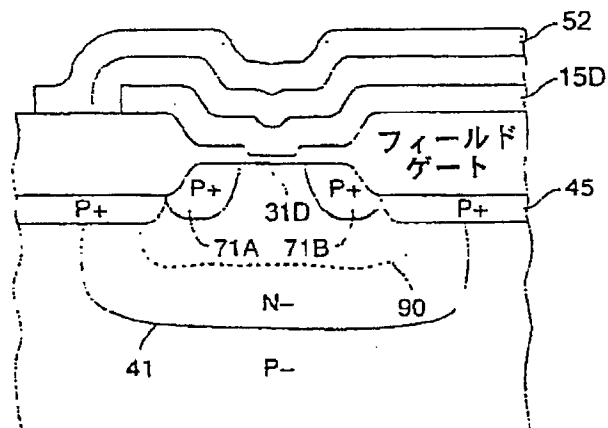


FIG. 4

【図2】

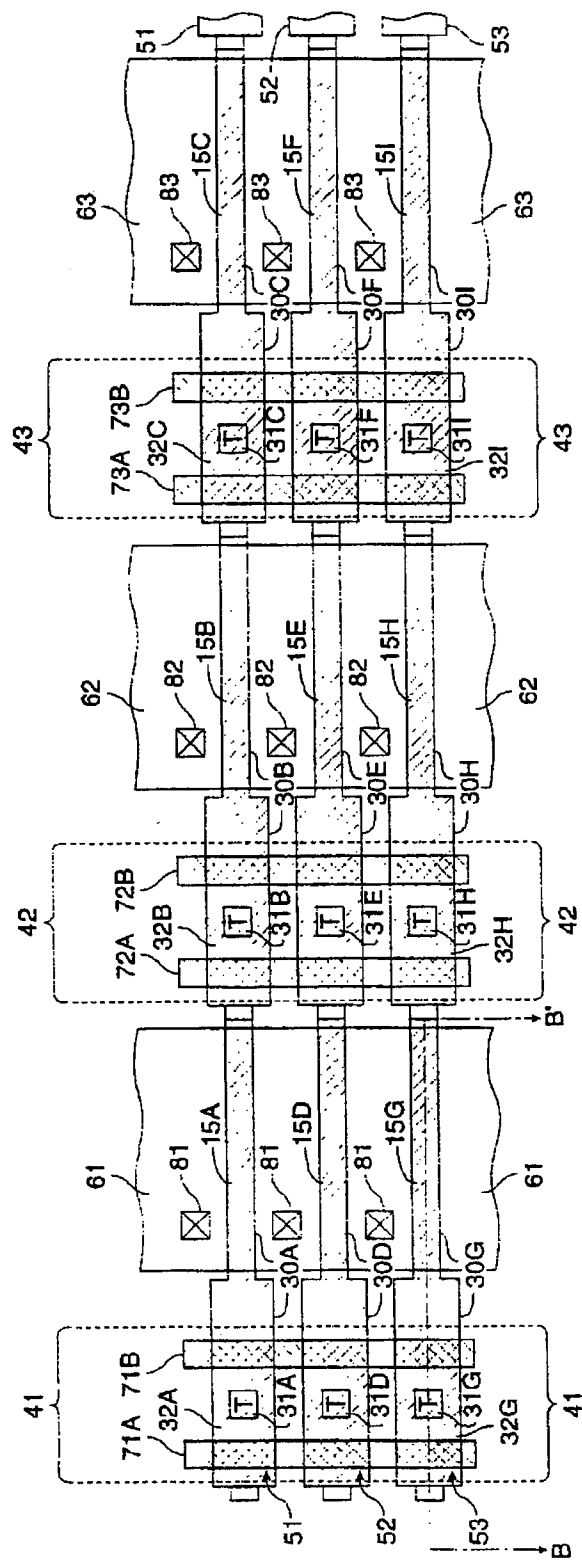


FIG. 2A

【図3】

プログラム消去条件

プログラム消去 ディスタンスコメント	セル#	Vcg	VN- ウエリ 2行	Vp- 基板 0	Vp+ 列ライン 0	初期Vfg	FNの状態	後Vfg	スイッチング 状態
A) フックプログラムセルをオフに消去する (Fig. 2A参照 →)	全て 30A-30I	+18v 全て P2 51, 52, 53	0 N-ウエリ 41, 42, 43	0 全て 40	71a,b → 73a,b	7.5 -0.5	0v 0v	-0.5 -0.5	オフ オフ
B) フックプログラム選択セルをオンにプログラムする (Fig. 2A参照 →)	30E	0 52	18 42	0 40	18 72a, 72b	-0.5 7.5	18v (反転) 18v (反転)	7.5 7.5	オン オン
ディスタンスフィック選択行不選択列 (Fig. 2A参照 →)	30D, F	0 52 0	18 41, 43 18	0 40 0	0 71a,b + 73a,b 0	-0.5 7.5	空乏ディスタンス 空乏ディスタンス	-0.5 7.5	オフ オン
ディスタンスフィック選択列不選択行 (See Fig. 2A →)	30B, H	18 51, 53 18	18 42 18	0 40 0	18 72a, 72b 18	-0.5 7.5	FG付近等電位 ディスタンス	-0.5 7.5	オフ オン
ディスタンスフィック不選択行不選択列 (Fig. 2A参照 →)	30A, C, G, I	18 51, 53 18	18 41, 43 18	0 40 0	0 71a,b + 73a,b 0	-0.5 7.5	FG付近等電位 +空乏ディスタンス FG付近等電位 +空乏ディスタンス	-0.5 7.5	オフ オン

*FG = 浮遊ゲート

FIG. 3

【図5】

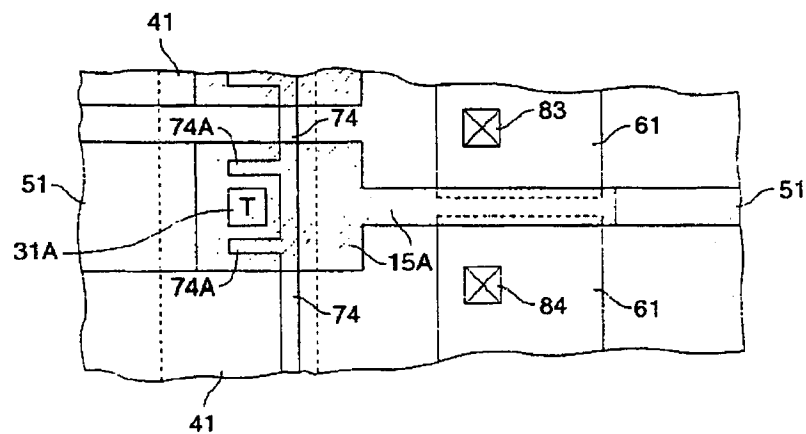


FIG. 5

【図6】

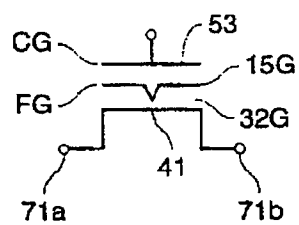


FIG. 6

【図7】

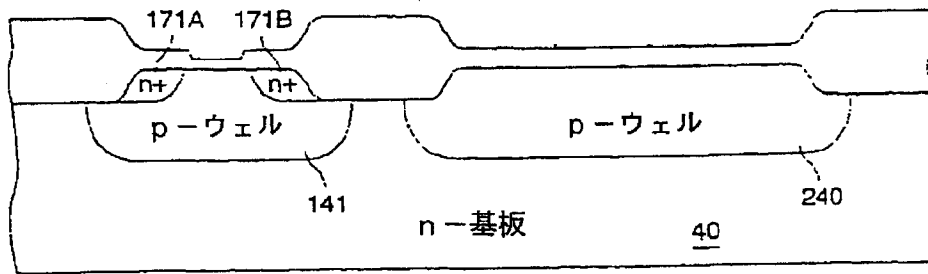


FIG. 7A

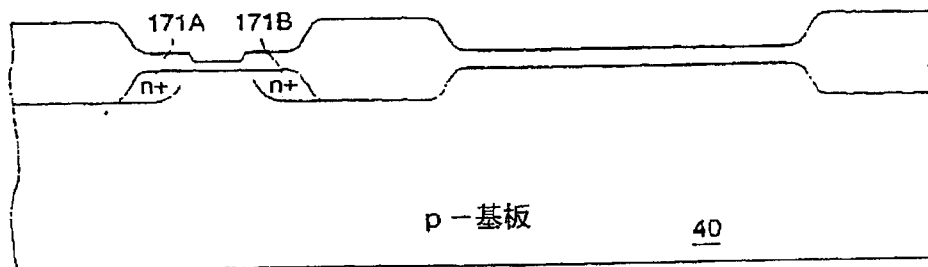


FIG. 7B

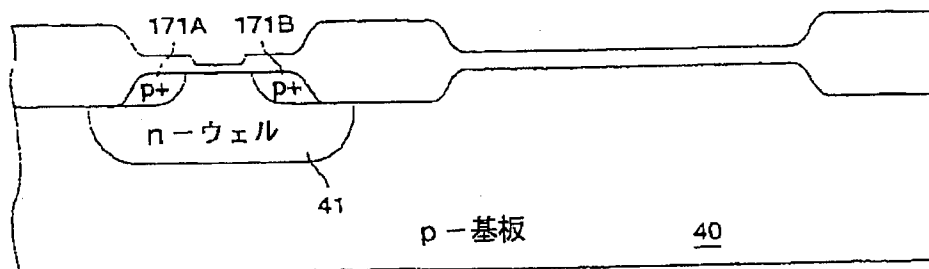


FIG. 7C

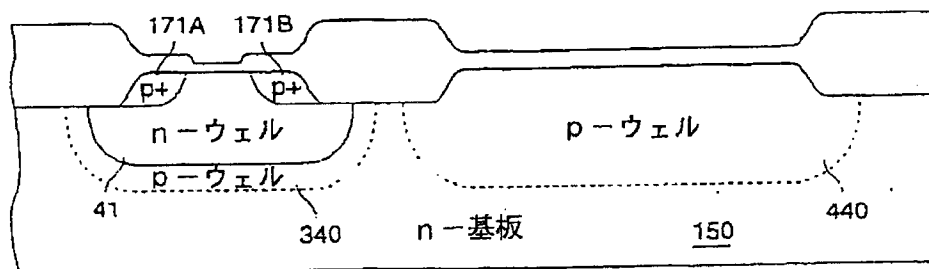


FIG. 7D

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US96/11219

A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : H01L 29/788; G11C 11/34

US CL : 257/314, 315, 318, 321; 365/185.01, 185.10, 185.14, 185.18, 185.28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 257/314, 315, 318, 321; 365/185.01, 185.10, 185.14, 185.18, 185.28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
foreign documents located in the above US classes/subclasses.

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

APS: EEPROM, tunnel?, FN.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP, A, 0573170 (BERGEMONT) 08 December 1993, Fig. 7.	11-16
A	US, A, 4,672,409 (TAKEI ET AL.) 09 June 1987, Figs. 1-10.	1-30
A	US, A, 5,019,879 (CHIU) 28 May 1991, Figs. 1-18.	1-30
A	US, A, 5,021,848 (CHIU) 04 June 1991, Figs. 1-18.	1-30
A	US, A, 5,225,362 (BERGEMONT) 06 July 1993, Figs. 4-15.	1-30

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
A document defining the general state of the art which is not considered to be of particular relevance	*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
E earlier document published on or after the international filing date	*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	*Z* document member of the same patent family
O document referring to an oral disclosure, use, exhibition or other means	
P document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

05 AUGUST 1996

Date of mailing of the international search report

16 AUG 1996

Name and mailing address of the ISA/US
Commissioner of Patents and Trademarks
Box PCT
Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

DAVID B. HARDY

Telephone No. (703) 308-4092

フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 29/792